

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-217342

(43) 公開日 平成4年(1992)8月7日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76	L	9169-4M		
21/02	B	8518-4M		

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平2-403157

(22) 出願日 平成2年(1990)12月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 廣 幸一郎

大阪市阿倍野区長池町22番22号シャープ株式会社内

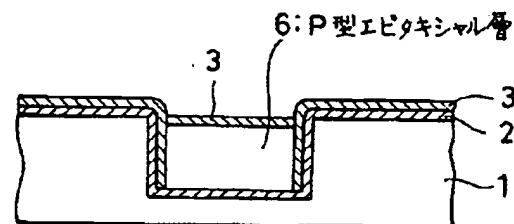
(74) 代理人 弁理士 西田 新

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 特性の異なる素子形成領域が同一基板上に形成でき、フレキシビリティに富む半導体装置の製造方法を提供する。

【構成】 基板上に形成された酸化膜と拡散層をフォトリソ法により除去し、その後ウェットエッチングすることにより、基板に平坦な底部を有するトレンチを設け、その後そのトレンチ内壁および底部に上記不純物拡散層を形成し、さらにトレンチ内壁に上記酸化膜を形成する。その後、そのトレンチ内にエピタキシャル層を形成した後、そのエピタキシャル層表面に酸化膜を形成する。その後、基板表面側に支持体を形成した後、基板の裏面側をラッピングすることにより特性の異なる素子形成領域が出現する。



## 【特許請求の範囲】

【請求項1】 第1導電型半導体基板表面上に第1導電型不純物を拡散することにより第1導電型不純物拡散層を形成すると同時に、その第1導電型不純物拡散層上に第1酸化膜を形成し、その後その第1酸化膜上に窒化膜を形成し、次いでその窒化膜上にレジストを形成した後、上記第1導電型不純物拡散層の上記第1酸化膜と上記窒化膜および上記レジストの所定部位を除去し、次いでその除去した上記第1酸化膜直下の上記第1導電型半導体基板をエッチングすることにより底部が平坦な形状のトレンチを形成し、次いで残存する上記レジストを除去した後、上記第1導電型不純物を上記トレンチの内壁および底部に拡散することにより第1導電型不純物拡散層を形成すると同時に、そのトレンチの内壁および底部の第1導電型不純物拡散層上に第2酸化膜を形成し、その後上記トレンチ底部の第2酸化膜を除去し、次いで残存する上記窒化膜を除去した後、上記トレンチにエピタキシャル層を形成し、その後そのエピタキシャル層上に第3酸化膜を形成し、次いで、上記第1、第2および第3の酸化膜上に支持体を形成した後、上記基板裏面から素子形成領域が出現するまでラッピングする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、更に詳しくは、誘電体分離法により素子形成領域を形成する方法に関する。

## 【0002】

【従来の技術】 従来より高耐圧を必要とする用途には島領域を完全に絶縁する誘電体分離法が用いられている。図7乃至図11はその従来例を経時的に示す模式断面図である。N型半導体基板10上にシリコン酸化膜11を形成する(図7)。次にそのシリコン酸化膜11上にレジスト12を塗布した後、周知のフォトリソ法によりレジスト12を開孔し、そのレジスト12直下のシリコン酸化膜11を除去する(図8)。

【0003】 次にシリコン酸化膜11上に残存するレジスト12を除去し、シリコン酸化膜11をマスクにして半導体基板10をウェットエッチングすることによりV溝16を形成する(図9)。次に、シリコン酸化膜11を除去した後、N不純物たとえばアンチモン等を所定の厚さに沈積しN不純物拡散層13を形成すると同時に、その後そのN不純物拡散層13上に酸化ドライブを行うことにより、酸化膜14を形成する(図10)。

その後、ポリシリコン15を約600μm堆積する。なおそのポリシリコン15を酸化膜14上に堆積するかわりに、半導体基板表面側にウェハを張り合わせ支持体としてもよい。その後半導体基板10の裏面からポリシリコン15をV溝16の先端が出現するまで研磨し、ポリシリコン15を分離領域とし、半導体基板10を絶縁

分離することにより半導体基板10には素子形成領域が形成される(図11)。

## 【0004】

【発明が解決しようとする課題】 ところで、従来の誘電体分離においてはpn接合分離に比べてバイス間のラッチアップ現象が発生せず良好であるが、同じ特性をもつ素子形成領域の構築に限定され、異なる特性をもつ素子形成領域は構築できず、フレキシビリティに欠ける。本発明は上記に鑑みてなされたもので、異なる特性をもつ素子形成領域を構築できるよう構成した半導体装置の製造方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、第1導電型半導体基板上に第1導電型不純物を拡散することにより第1導電型不純物拡散層を形成すると同時に、その第1導電型不純物拡散層上に第1酸化膜を形成し、その後その第1酸化膜上に窒化膜を形成し、次いでその窒化膜上にレジストを形成した後、所定の第1導電型不純物拡散層上の第1酸化膜と窒化膜およびレジストを除去し、次いでその除去した第1酸化膜直下の第1導電型半導体基板をエッチングすることによりトレンチを形成し、次いで残存するレジストを除去した後、第1導電型不純物をトレンチの内壁および底部に拡散することにより第1導電型不純物拡散層を形成すると同時に、そのトレンチの内壁および底部の第1導電型不純物拡散層上に第2酸化膜を形成し、その後上記トレンチ底部の第2酸化膜を除去し、次いで残存する上記窒化膜を除去した後、トレンチにエピタキシャル層を形成し、その後そのエピタキシャル層上に第3酸化膜を形成し、次いで、第1、第2および第3の酸化膜上に支持体を形成した後、基板裏面から素子形成領域が出現するまでラッピングする

## 【0006】

【作用】 基板に平坦な底部を有するトレンチを設け、そのトレンチにエピタキシャル層を形成し、その基板の裏面側をラッピングしたので、同一基板上に異なる特性をもつ素子形成領域が形成される。

## 【0007】

【実施例】 図1乃至図6は本発明を経時的に示す模式断面図である。N型半導体基板1上にN不純物たとえばアンチモンを拡散し、N不純物拡散層2を形成すると同時に、そのN不純物拡散層2上にシリコン酸化膜3を形成し、続いてそのシリコン酸化膜3上にシリコン窒化膜4を形成する。次に、シリコン窒化膜4上に、レジスト5を塗布した後、周知のフォトリソ工程においてレジスト5を開孔する。次にシリコン窒化膜4をドライエッチングにより除去し、続いてシリコン酸化膜3をウェットエッチングにより除去する(図2)。

【0008】 次に、レジスト5をマスクにして半導体基板1を50μm程度の深さに異方性のドライエッチング

3

を行うことにより、トレンチ7を形成する。このトレンチ7は、平坦な底部を有する柱状をなしている。(図3)。次に、残存するレジスト5を除去し、トレンチ7の内壁および底部にN 不純物を拡散し、N 不純物拡散層2を形成すると同時に、そのN 不純物拡散層2上にシリコン酸化膜3を10000~15000Åの厚さに形成し、その後トレンチ7の底部に形成されたシリコン酸化膜3を除去する(図4)。

【0009】次に、先に形成したシリコン窒化膜4を熱リン酸により除去した後、トレンチ7に選択エピ技術を用いて、たとえばp型エピタキシャル層6を成長させる。さらに、そのp型エピタキシャル層6上を約10000Åの厚さの酸化膜3を形成する(図5)。次に、シリコン酸化膜3が形成されている半導体基板1表面側にポリシリコン8を約600μm堆積し、その後半導体基板1裏面側より素子形成領域が出現するまでラッピングすることにより、異なる特性をもつ素子形成領域を有する半導体装置が形成される(図6)。

【0010】

【発明の効果】 以上説明したように、本発明によれば、従来の誘電体分離法に選択エピタキシャル法を組み込む工程、すなわち平坦な底部を有するトレンチを基板に設け、そのトレンチにエピタキシャル層を形成する工

程を設けたので同一基板上に容易に異なる特性をもつ素子形成領域を構築できる。その結果、フレキシビリティに富んだ半導体装置の製造方法を提供できる。

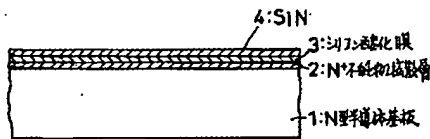
【図面の簡単な説明】

- 【図1】 本発明実施例を経時的に示す模式断面図
- 【図2】 本発明実施例を経時的に示す模式断面図
- 【図3】 本発明実施例を経時的に示す模式断面図
- 【図4】 本発明実施例を経時的に示す模式断面図
- 【図5】 本発明実施例を経時的に示す模式断面図
- 【図6】 本発明実施例を経時的に示す模式断面図
- 【図7】 従来例を経時的に示す模式断面図
- 【図8】 従来例を経時的に示す模式断面図
- 【図9】 従来例を経時的に示す模式断面図
- 【図10】 従来例を経時的に示す模式断面図
- 【図11】 従来例を経時的に示す模式断面図

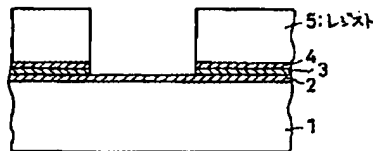
【符号の説明】

- 1……N型半導体基板
- 2……N 不純物拡散層
- 3……シリコン酸化膜
- 4……SiN
- 5……レジスト
- 6……p型エピタキシャル層
- 7……トレンチ

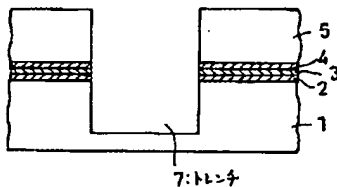
【図1】



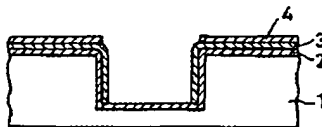
【図2】



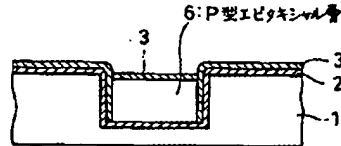
【図3】



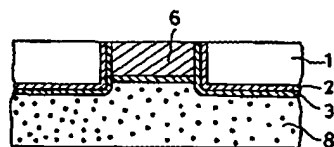
【図4】



【図5】



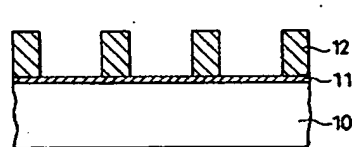
【図6】



【図7】



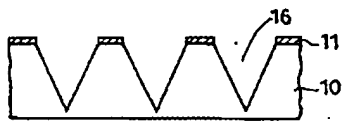
【図8】



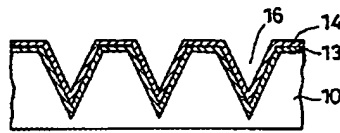
(4)

特開平4-217342

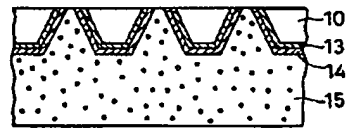
【図9】



【図10】



【図11】



PAT-NO: JP404217342A

DOCUMENT-IDENTIFIER: JP 04217342 A

TITLE: FABRICATION OF  
SEMICONDUCTOR DEVICE

PUBN-DATE: August 7, 1992

INVENTOR-INFORMATION:  
NAME  
KO, KOICHIRO

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP02403157

APPL-DATE: December 18, 1990

INT-CL (IPC): H01L021/76, H01L021/02

## ABSTRACT:

**PURPOSE:** To provide element forming regions having different characteristics easily on one substrate by providing a step for making a trench having flat bottom in the substrate and forming an epitaxial layer in the trench.

**CONSTITUTION:** An impurity diffusion layer 2 is formed on a semiconductor substrate 1 while simultaneously an oxide film 3 and a nitride film 4 are formed on the diffusion layer 2. After forming a resist 5, the oxide film 3, the nitride film 4 and the resist 5 are removed from a predetermined diffusion layer 2 and then the semiconductor substrate 1 is etched thus forming a trench 7 having flat bottom. Remaining resist 5 is then removed and the impurity diffusion layer 2 is formed on the inner wall and the bottom of the trench 7 while simultaneously the oxide film 3 is formed on the diffusion layer 2. Thereafter, the oxide film 3 and the nitride film 4 is removed from the bottom of the trench 7 followed by formation of an epitaxial layer 6 and the oxide

**layer 3 in the trench** 7. Subsequently, a supporting body is formed on the surface side of the semiconductor substrate 1 and lapping is applied on the rear of the semiconductor substrate 1 thus providing element forming regions having different characteristics.

COPYRIGHT: (C)1992,JPO&Japio